ここから始める アナ・ディジ混載設計



デバイスの記事

第3回 D-Aコンバータの特性ばらつき

湯川 彰

今回は，D-Aコンバータの特性ばらつきと寸法設計について解説する．アナログ回路の設計では，あらかじめ特性ばらつきについて検討し，この影響ができるだけ小さくなるように回路構成や素子の寸法を決定する．最近では，ばらつきや歩留まりの推定にシミュレーションが利用されている．（編集部）

最近の130nmや90nmといったファイン（微細）パターン・プロセスでは，特性ばらつきにどう対応するかがあらゆる局面で問題となっています．アナログ回路，とくにA-Dコンバータ，D-Aコンバータでは，登場した当初からばらつきに対する対策が設計の一部と考えられてきました．

今回の話題は，基本的には筆者が16年ほど前にある雑誌に寄稿した内容をもう少し具体的に書き改め，その後の知見と具体例を付け加えたものです．最近，ある学会の委員会で，その記事がある会社のアナログ設計部門のバイブルになっているとうかがいました．古典的な統計学の応用ですが，それだけでも，現在，私たちが直面している問題に対する考えかたのヒントとして役に立つと信じています．

● 使用環境による特性変動，製造に起因する特性変動

電子回路の特性は，さまざまな原因により変動します．

これらの原因のうち，電源電圧や温度といった使用環境の変化による特性変動については，それぞれのパラメータを反映したモデルを作成し，回路シミュレーションを行って要求特性を満たしているかどうかを確認しながら設計します．通常は，保証しなければならない範囲について，電圧，温度，製造範囲などのパラメータの変動と，それぞれの最小値，標準値（中央値），最大値の三つを組み合わせた条件でシミュレーションします．また，寄生効果，例えば共通インピーダンスや寄生容量によるカップリングなどについては，レイアウト設計後に行われる寄生要素抽出〔LPE：layout parameter（あるいはparastic）extraction〕ツールを用いて寄生成分を抽出し，それを反映したネットリストを使って回路シミュレーションを行うことにより，変動が許容できるかどうかを確認します．

これとは別に，LSIの製造工程に起因する電気的特性のばらつき（いわゆる「製造ばらつき」）もあります．製造工程に起因する特性の変動を推定することは非常に困難です．例えば，特性ばらつきに対して，モンテカルロ法を用いたシミュレーション（確率的なふるまいを反映したシミュレーション）を行えば，原理的には推定可能です．しかし，有用なデータを得るためのシミュレーション回数は統計学の母集団推定の手法で決めることになり，少なくとも数十回程度は必要です．

また，最近のシミュレータには，回路に用いられている素子のばらつき感度をあらかじめ求めることにより，特性ばらつきを効率的に予測するツールもあります．アンプや簡単なフィルタについては実用の域に達していますが，D-Aコンバータの規模となるとまだまだのようです．そこで現状では，このばらつきについては解析的に見通しをつけておき，あとは1回当たりの計算時間が短くてすむ，抽象度の高いモデルを使用したシミュレーションで確認しています．

● 素子特性のばらつきは4種類

素子特性のばらつきの原因は，大きく分けて以下の四つがあります．

- **製造装置が原因で生じる変動**
- **寄生効果のばらつき**
- **ストレス（応力）などによる変動**
- **純粋に統計的なゆらぎ**

製造装置に起因する変動には，例えばウェハ処理工程における加熱炉の温度不均一性などによって生じるウェハ面内やウェハ間の不純物分布や酸化膜厚などのむら，露光装置の露光むらなどがあります．寄生効果のばらつきについては，例えば電源や信号を伝達する配線やスルー・ホールなどに付随する寄生抵抗や配線間の寄生容量などの変動に起因するものが挙げられます．また最近では，集積回路パターンの形状に依存して局所的に応力が変わり，電気的特性が変動する現象が注目されています．

さて，集積回路の製造管理を行える精度には上限があります．例えば，抵抗を構成するポリシリコンや拡散層の不純物濃度は変動します．そのため，こうした抵抗値はウェハごとに20％程度変動する可能性があります．コンデンサについても電極間の絶縁膜の厚みが製造工程で変動するため，容量値が15％程度変動します．一方，MOSトランジスタは，主としてイオン注入量の変動により，しきい値電圧が0.1～0.2V程度変動します．そのため，MOSトランジスタのゲートに一定の電圧をかけると，アナログ回路で使用する電圧・電流条件ではドレイン電流が近似的にゲート電圧としきい値電圧の差の2乗で影響を受けるため，ウェハごとに電流が大きく変動する可能性があります．

唯一変動がそれほど大きくないのは，ダイオードの順方向電圧です．これは，端子間電圧がダイオードを流れる電流の対数の関数になっているおかげです．温度による変化は大きいため，温度補償を行うことでバンドギャップ・リファレンス[注]と呼ばれる基準電圧源として用いられています．

● 同形状の素子を近接配置したときの特性の類似性を利用

上述のように，集積回路には動作環境上および製造管理上許容しなければならない変動があります．その一方で，同一チップ上に同じ形状の素子を近接配置したとき，電気的特性の類似性が非常に強くなるという性質もあります．アナログ回路ではこの性質を最大限に利用する回路形式が考案されてきました．

本誌2004年10月号のp.84（特集2 第2章「ミックスト・シグナルLSI設計の手順と検証手法」）で紹介した電流ミラー回路はその一例です．また，D-Aコンバータもその典型的な回路の一つです．D-Aコンバータは，入力ディジタル信号に対応する量子化レベルを，形状が同一とみなせる抵抗，容量または電流源を多数組み合わせることで実現しています．これにより，製造管理上のばらつきの影響が小さくなります．このほか，電流スイッチ型D-Aコンバータではスイッチを ONする順番をくふうすることで，積分直線性を改善しています（本誌2005年1月号の連載第2回を参照）．

電気的特性の類似性のくふうは，回路設計だけでなく，レイアウト設計においても威力を発揮します．例えば，ダミー素子の配置が挙げられます．ここでは同じ形状の256個の抵抗を縦横に16個×16個並べたとします．内側にある素子から見ると，周りに自分とまったく同じ素子があることになり，特性は類似します．一方，端に置かれた素子から見ると，片方には自分と同じ素子がありますが，反対側には同じ素子がないことになります．製造の露光工程では露光された部分と露光されない部分ができ，レジストが収縮・膨張して変形します．レイアウト上の周囲条件が異なると，この違いによる応力差によって寸法が変動します．加えて，エッチング工程でも反応ガスの供給が局所的に異なる可能性もあります．そこで，端の素子の外側に（使わないけれど）同じ形状の素子を配置して特性をそろえます．これをダミー素子と呼びます．

しかし，このように注意して設計しても，特性がばらつくことは避けられません．また，ばらつきによる影響は用途や回路によって大きかったり小さかったりします．また，製造方法が変更されると，変動の原因が変化することがあります．そこで，アナログLSI開発では大幅なコスト・アップにならない限り，考えうるすべての対策を打って変動に備えます（第1世代品の開発ではこの姿勢がたいせつ）．

さて，製造装置などの不完全性，および製造管理上許容しなければならないばらつきなどをすべて排除できたとしても，統計的に避けられないばらつきが抵抗値や容量値，しきい値電圧などに残ります．このばらつきは，個々の素子寸法と強い相関を持っていることが知られています．そこで，ばらついたときの特性がどうなるかを予測することで，逆に素子の寸法をどう設計すれば目標とする歩留まりを確保できるかを分析し，設計にフィードバックします．それでは，ばらつきとD-A変換特性について検討してみましょう．

● 抵抗ストリング型D-Aコンバータのばらつきを考える

いま，本誌2005年1月号でも紹介した**図1**の抵抗ストリ

注：ダイオードに電流を流したときの電圧が負の温度係数になるのに対して，ダイオードと抵抗を直列に接続したときの抵抗の電圧降下は正の温度係数になる．このことを利用して温度変化をうち消すようにした基準電圧発生器をバンドギャップ・リファレンスと呼ぶ．原理的に出力電圧がシリコンのバンドギャップ電圧である約1.2Vになるので，このように呼ばれている．

ング型D-Aコンバータを例に，抵抗ばらつきと特性の関係を考えます．この回路は，分解能に等しい数の抵抗を直列接続して等間隔で分解能と等しい数の電圧レベルを作り，入力ディジタル信号に対応した抵抗の接続点をスイッチで選択する構成となっています．ゼロ・スケールとフルスケールの電圧は外から与えるので，ここではゼロ・スケール誤差およびフルスケール誤差はないものとします．

実際には，抵抗に電圧を加える配線に寄生抵抗があり，出力をOPアンプ（演算増幅器）で増幅すれば増幅器の利得誤差やオフセット電圧による誤差も生じます．しかし，ものごとを一度に考えようとすると混乱します．ここではこれらは理想的で誤差はないものとします．あとで影響を足し合わせれば，全体が理解できるでしょう．なお，単位抵抗を単位電流源に置き換えれば，同じ考えかたが電流スイッチ型D-Aコンバータにも適用できます．

さて，ここでは分解能がNビットで，2^N個の抵抗を用いるものとして議論を進めます．同じ形状のマスク・パターンを用いてLSIの製造プロセスで抵抗を作るわけですが，特性はまったく同じにはならず，ばらつきます．この抵抗の集合は，「平均値aと分散σ^2はわからないものの，抵抗値が正規分布になる，無限にある同じ形状の抵抗で構成された母集団から2^N個のサンプルをランダムに取り出して構成した」とみなすことができます．

統計学の説明は専門書に譲るとして，私たちが扱う抵抗や容量，トランジスタの特性などの値は，平均値の周りに正規分布に従ってばらつくと考えられます．関数としては，平均値をμ，標準偏差をσとすると，確率密度yは以下の式(1)で表されます．

$$y = \frac{1}{\sqrt{2\pi}\sigma} e^{-\frac{1}{2\sigma^2}(x-\mu)^2} \tag{1}$$

この関数は，$-\infty$から$+\infty$まで積分すると1になり，変数値xをとる割合がyであるという式です．平均値が0で標準偏差が1の正規分布の確率密度関数をグラフ化すると，**図2**のような形をしています．この分布では，±σの範囲に全面積の約68％の変数値が，±2σの範囲に約95％の変数値が入ります．**表1**に，標準偏差で規格化したときのその値から外にある割合を棄却率の欄に，$\pm n\sigma$の外側を除去して中を受容したときの割合を良品率の欄に示します．4σまではたいていの統計学のテキストに掲載されていま

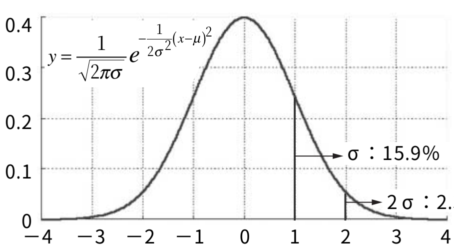


図2　正規分布の確率密度関数

正規分布はガウス分布とも呼ばれ，平均値を中心に左右対称の形をしている．ランダムなばらつきや熱雑音の振幅分布など，この分布を示す現象は多い．標準偏差をσで表し，この値が分布の2乗平均となっている．熱雑音では実効電圧になる．

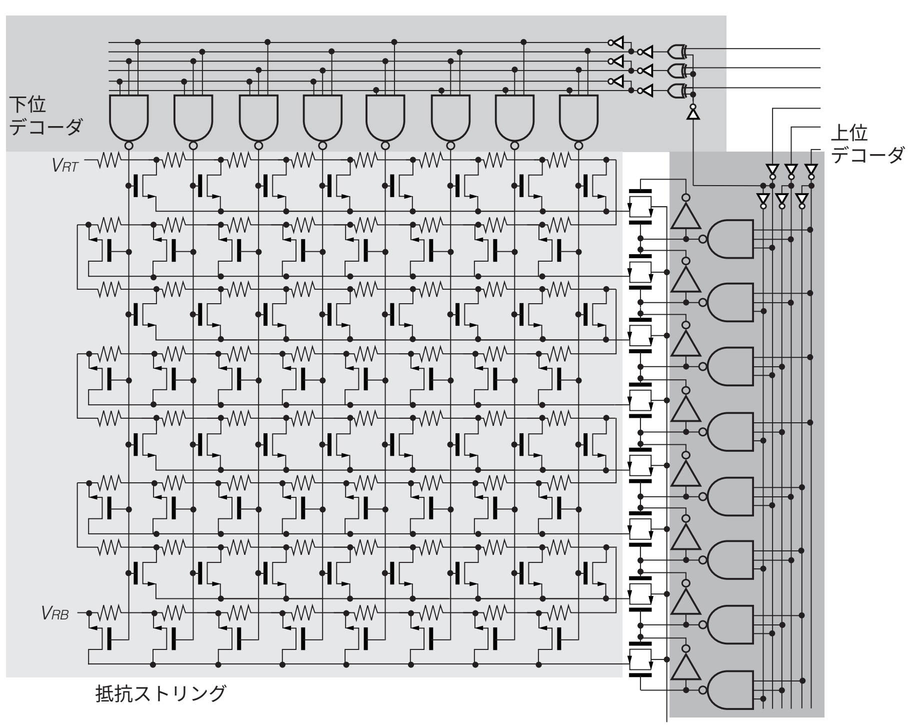


図1
抵抗ストリング型D-Aコンバータ

分解能と等しい数の単位抵抗を直列に接続することでD-A変換に必要な量子化電圧を発生させ，選択スイッチを用いてディジタル入力に相当する電圧を選択・出力する．単調性を得やすいという利点と高速化が困難という欠点がある．

す．5σ以上は表計算ソフトウェア（Excel）のNORMDIST関数を使って求めました．

なお，値の正しさを確認するため，品質管理の「シックス・シグマ（6σ）」のテキストも調べました．こちらには「100万個に3.4個」と書かれている場合と，「100万個に3，4個」と書かれている場合があり，値が違っていて不安になりました．そこで，この違いについていろいろと調べてみたところ，3.4×10^{-6}は正規分布の4.5σの値を用いているのだそうです．その根拠は，米国Motorola社の不良率のデータによると，長期間のデータを取ったとき，6σで管理していても実際上は中心値が1.4σ～1.6σ程度のゆらぎが生じて，不良率としては4.5σ相当となるため，このように定義しているとのことでした．

表1　許容域と良品率

製品を製造すると，平均値を中心にばらつく．ここでは標準偏差で規格化して$n\sigma$より大きい部分の面積を求めたものを棄却率とした．また，通常は大きくても小さくても不良品とするので，±$n\sigma$の中の面積を良品率とした．1Gビットのメモリ LSIは10^9個のメモリ・セルを持っているため，6σのばらつきを考慮したとしても，平均で1個のセルが不ぐあいを生じることになる．メモリ LSIでは余分なメモリ・セルを組み込んで不良ビットを救済するが，アナログ回路では発生確率が低くなるような設計と選別により，不良品が出荷されないようにしている．

許容域	棄却率（片側）	良品率（%）
1	1.59×10^{-01}	68.2689480482
2	2.28×10^{-02}	95.4499875928
3	1.35×10^{-03}	99.7300065554
4	3.17×10^{-05}	99.9936627931
5	2.87×10^{-07}	99.9999425790
6	9.90×10^{-10}	99.9999998020
7	1.29×10^{-12}	99.9999999997

● 単位抵抗精度が10％でDNLは±0.5LSBに

抵抗ストリング型D-Aコンバータの場合，取り出された2^N個の抵抗を直列接続して，両端に基準電圧を印加することになります．ですから，それぞれの抵抗の両端の電圧が隣り合うディジタル・コード間のステップ・サイズになります．また，微分直線性（DNL：differential non-linearity）は，ばらついた抵抗のなかでもっともはずれたものと抽出された抵抗の平均値の比から1を引いた値として規定することになります．

そこで，まず，抽出されたサンプルの平均値が母集団の平均値に対してどのように分布するのかを推定する必要があります．それには，母集団の平均値と分散が未知のとき，抽出したサンプルの平均と分散を推定します．抽出したn個のサンプルの平均は，母集団の平均をμ，標準偏差をsとして，関数tを

$$t = \frac{\bar{x} - \mu}{\frac{s}{\sqrt{n}}} \tag{2}$$

としたとき，自由度が$(n-1)$のt分布を示すことが知られています．t分布は，自由度が無限大，つまりサンプル数が無限大のときに正規分布と一致します．抵抗ストリング型などのように自由度が大きいときは，正規分布で近似しても大きな誤差とはなりません．つまり，抽出したサンプル数が増えると，その平均値の標準偏差がどんどん小さくなることを示しています．例えば，10ビットD-Aコンバータを作るために1,024個の抵抗を集めたときの平均値のばらつきは，母集団の標準偏差の1/32の範囲に68％が入ることになります．また，分散についてはχ2分布を用います．こちらも，サンプル・データ数が30程度以上では，正規分布で近似しても誤差は小さいことが知られています．

ですから，抽出したn個のサンプルx_iの平均$\bar{x}$，標本分散s^2を

$$\bar{x} = \frac{1}{n}\sum_{i=1}^{n} x_i \qquad s^2 = \frac{1}{n-1}\sum_{i=1}^{n}\left(x_t - \bar{x}\right)^2 \tag{3}$$

として定量的な評価を行います．なお，sは厳密にはσの推定値ですが，sをσと同じに扱って以後の議論を進めます．

さて，ここではDNLの仕様を±0.5LSBとし，99％の歩留まりを目指すとしましょう．これは，サンプルを1,024個抽出し，その中に0.5R以下もしくは1.5R以上の抵抗が一つでも入っていることが100回に1回以下でなければならないことになります．例えば，3σをR±0.5Rに設定すると，1回に要求仕様から外れる抵抗が出る確率は2.7×10^{-3}ですから，1,024回行えば約2.8回はそのような素子が現れてしまうことになります．これでは良品はとれないことになりますから，棄却率が1/（1024×100）　9.77×10^{-6}でなければならないことになります．そのためには4σでも足りなくて，5σ近い必要があるということになります．したがって，標準偏差としては0.1R，つまり単位抵抗の精度が10％あればDNLの要求を満たせることになります．

なお，厳密に考えると±0.5LSBは±50％の変動であり，ここまで大きな変動になると正規分布から外れることが予想されますが，最終的結論の±10％では正規分布として近

似できるだろうとして議論を展開したことを付け加えておきます．

● INLを0.5LSBとするには，単位抵抗精度を1.6％に

次に，積分直線性（INL：integral non-linearity）を考えます．INLは直列接続した抵抗の値が理想値，すなわち抽出した抵抗の平均値を変換入力コードの数だけ直列接続したときの抵抗値と実際の値との差の最大値になります．ですから，ある母分散を持つ有限母集団の部分和に対する分散が目的とするINLの何分の1になるかによって歩留まりが決まることになります．

抽出された2^N個のサンプルを用いてD-Aコンバータを構成したときの精度を考えることは，抽出された2^N個を有限母集団とする集合から単純ランダム抽出したn個のサンプルの平均値と分散の検定を行うことと同じになります．

まず，有限母集団に対する定義は，以下のようになります．

$$Y = \frac{1}{2^N}\sum_{i=1}^{2^N} y_i \tag{4}$$

$$s^2 = \frac{1}{2^N - 1}\sum_{i=1}^{2^N}\left(y_i - Y\right)^2 \tag{5}$$

次に，この有限母集団からn個抽出されたサンプル平均値の分散$V(y)$は，以下のように表されます．

$$V(y) = E\left\{\left(\bar{y} - Y\right)^2\right\} = \frac{s^2}{n}\frac{2^N - n}{2^N} \tag{6}$$

ここで右辺第2項は有限母集団であることによる補正項です．つまり，2^N個のサンプルからn個取ってしまうと，残りは$2^N - n$個になり，抽出条件が変化することを考慮しています．D-Aコンバータのフルスケールは$2^N Y$であり，n番目のコードに対応する抵抗値Y_nはn個のサンプルの合計ですから，n番目のコードの平均値$\overline{Y}_n$，分散$V(Y_n)$は以下のようになります．

$$\overline{Y}_n = nY \tag{7}$$

$$V\left(Y_n\right) = n\frac{2^N - n}{2^N}s^2 \tag{8}$$

式(8)より，D-Aコンバータで精度のばらつきがもっとも大きいのは，分散が最大値をとる変換レベルの中点，つまり$n = 2^{N/2}$にあり，ここでの標準偏差σ_Yは以下のようになることがわかります．

$$\sigma_Y = 2^{N/2-1}s \tag{9}$$

いま，Nビットの抵抗ストリングを作るとき，量子化レベルはYなので，中点の標準偏差σ_Yにおいて$\pm k$LSBの精度をある歩留まりで得るためには，両側検定によって正規分布表から求めた歩留まりをMとしたとき，以下の関係を満たす必要があることになります．

$$M2^{N/2-1}s \leqq kY \tag{10}$$

これを変形して，

$$\frac{s}{Y} \leqq \frac{k}{M2^{N/2-1}} \tag{11}$$

となるような標準偏差sを持つ単位抵抗が必要と結論づけられます．この統計解析は，単位容量を並列に接続して構成されるキャパシタ・アレイによるD-Aコンバータでも成り立ちます．

例えば，1/2LSBの精度，95％の歩留まりでD-Aコンバータを構成する場合，それぞれのコンポーネントに必要な精度を$M = 2$，$k = 0.5$とすると，**表2**のようになります．**表2**は，縦にD-Aコンバータの分解能，横に目標精度をとって表したものです．分解能を低くして精度を上げるというのは，例えば8ビットの分解能で10ビット精度では8ビット±1/8LSBということです．このような要求は，抵抗ストリングとキャパシタ・アレイの2段階を縦続接続するようなときに生じます．

分解能に対して精度を一定の割合に保ち，分解能を上げていくときは，要求精度は平方根で緩和されます．分解能を一定に保ち，精度を引き上げるときは，その精度に比例して単位素子に要求される精度が厳しくなります．10ビットの抵抗ストリング型D-AコンバータのDNLを0.5LSBと

表2　単位素子に要求される精度

表の横方向は目標精度で，目標ビット数に対して±1/2LSB．表の縦方向は実現する分解能で，2のn乗個の単位素子を並べることを前提としている．素子数が増えれば，単位素子に要求される精度は平方根に比例して緩和される．最終的な要求精度の上昇に比例して，単位素子に要求される精度も増加する．

分解能＼精度	8ビット	10ビット	12ビット	14ビット	16ビット
8ビット	3.10％	0.78％	0.20％	0.05％	0.01％
10ビット	－	1.60％	0.39％	0.10％	0.02％
12ビット	－	－	0.78％	0.20％	0.05％
14ビット	－	－	－	0.39％	0.10％
16ビット	－	－	－	－	0.20％

$M = 2$（95％）の場合に必要な規格化標準偏差

するための単位抵抗の精度は10％であったのに対して，INLを0.5LSBとするときは1.6％と，ずっと厳しい精度が要求されます．

実際の設計では，このほかに寄生効果を考慮する必要があります．抵抗ストリング型の場合，単位抵抗の長さを1μmとしても，1,024個で1mm以上の長さになってしまうので，何本かに分けて並べることになるでしょう．そうなると，抵抗を折り返す部分でコンタクトが必要となり，それに伴ってコンタクト抵抗がばらつきます．さらに，抵抗ストリングの端の抵抗における電流の流れかたがほかの部分と変わる，加工上のストレスによってばらつきが加わる，などの効果も考慮して設計を行う必要があります．

● キャパシタ型D-Aコンバータの寸法設計を行う

集積回路のばらつきは，一般に面積に反比例することが知られています．そこで，キャパシタ型D-Aコンバータにおいて，要求精度を実現するキャパシタの寸法を求める方法を考えてみましょう．

単位キャパシタの容量値Yは，幅と長さをそれぞれW，L，単位面積当たりの容量をC_0とすると，以下のように書くことができます．

$$Y = LWC_0 \tag{12}$$

一方，単位キャパシタの規格化したばらつきsはそのキャパシタの面積の平方根に反比例します．そのため，比例定数をδとすると，以下のように関係づけられます．

$$s = \frac{\delta}{\sqrt{LW}} Y \tag{13}$$

ですから，

$$\frac{s}{Y} = \frac{\delta}{\sqrt{LW}} \tag{14}$$

となり，精度を向上させるためには，比例して面積を大きくする必要があります．

集積回路技術の進歩により，ウェハ間やロット間のδℓは小さくなる傾向にあります．しかし，チップ内のδℓのばらつきは，いくらかは改善していますがそれほど大きく変化していません．集積回路がファイン・パターン化されてきたとはいっても，アーキテクチャが同じである場合には，精度が必要なアナログ素子をスケーリングによって縮小することはできず，アナログ回路にとってはきびしい状況にあります．

また，D-Aコンバータをキャパシタと抵抗の組み合わせで実現すると，単純な1段階で実現した場合と比べて，必要となるキャパシタの数と抵抗の数の和を大幅に減らすことができます．ただし，例えば上位をキャパシタのD-Aコンバータで作ったとき，要求される精度は最終分解能の精度になります．一方，式(9)からD-Aコンバータのステップ値の標準偏差は集められるキャパシタの数の平方根に比例することがわかっています．また，D-Aコンバータのレベルは，集められるキャパシタの数に比例します．したがって，用いるキャパシタの総数が減れば，その平方根に比例して精度が悪くなってしまいます．

この悪くなる精度を救済するには，式(13)のようにキャパシタの1辺を平方根に比例して大きくする必要があります．すなわち，精度を一定に保つには，キャパシタの数を減らしてでもキャパシタの1辺の寸法を増やす必要があり，キャパシタの総面積は不変という結論が導かれます．

● はしご型抵抗D-Aコンバータの寸法設計を行う

はしご型抵抗のR-2R D-Aコンバータは，前回も示した**図3**のような回路になります．この場合は，「MSBが0で2番目のビット以降が1」の状態から「MSBだけが1」の状態に切り替わるときにDNL，INLへの影響がもっとも大きくなります．はしご型抵抗網は複数の抵抗の組み合わせでできているので，抵抗値のばらつきは少なくとも1個の抵抗で作る場合よりは小さくなることが期待されます．そこで，少しマージンを含んだ設計になりますが，2個の同じ2Rの抵抗を取り出したときのマッチングの問題に近似して考えます．

2個の抵抗対の抵抗値差の分散を考えるとき，平均値は0が期待されますから，以下の式で表すことができます．

$$\sigma_{2R}^2 = \frac{1}{N-1}\sum_{i=0}^{N-1}\left(x_i - y_i\right)^2 \tag{15}$$

ここで，2個の抽出した抵抗対をx_i，y_iとしましたが，これは同じ母集団から抽出したものであり，両方のサンプルとも平均値，標準偏差は等しいと考えます．

式(15)を変形すると，以下のように分解することができます．

$$\sigma_{2R}^2 = \frac{1}{N-1}\sum_{i=0}^{N-1}\left\{\left(x_i-\bar{x}\right)-\left(y_i-\bar{y}\right)\right\}^2$$

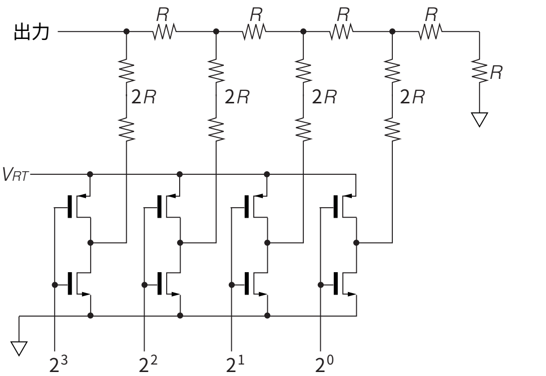


図3　はしご型D-Aコンバータ

CMOS回路のはしご型D-Aコンバータ．回路規模が小さいので，それぞれの抵抗を変数にしてばらつき感度の厳密解を求めることも不可能ではない．見通しをつけるため，最上位のスイッチが切り替わるときに着目して，最上位の2*R*と下位を結び付ける*R*，および下位の等価抵抗*R*をペアマッチで近似すれば，簡単に解くことができる．

$$=\frac{1}{N-1}\left\{\sum_{i=0}^{N-1}\left(x_i-\bar{x}\right)^2+\sum_{i=0}^{N-1}\left(y_i-\bar{y}\right)^2-2\sum_{i=0}^{N-1}\left(x_i-\bar{x}\right)\left(y_i-\bar{y}\right)\right\}$$

(16)

この式で，かっこの中の第1項と第2項は母集団の分散の推定値です．また，第3項にある二つのかっこの中は，互いに平均値が0で独立に変動する変数です．このため，Nが大きくなれば0に収束します．ですから，

$$\sigma_{2R}^2=2\sigma^2 \qquad (17)$$

となって，抵抗対のマッチングに対する標準偏差は，2*R*の値を持つ抵抗の標準偏差の$\sqrt{2}$倍であるということになります．

一方，2*R*の抵抗は*R*の抵抗を2個直列に接続したものなので，やはり標準偏差は*R*の抵抗の$\sqrt{2}$倍になります．これは，抵抗対のマッチングの式において，差を取っていたのを和にして分散を求める式に変形すると*R*の分散の2倍になることから，容易に導けます．みなさんもチャレンジしてみてください．

2*R*の抵抗の標準偏差は*R*の$\sqrt{2}$倍になりましたが，抵抗値は2倍になっているので，抵抗精度としては$\sqrt{2}$倍改善したことになります．したがって，*N*ビットの*R*-2*R* D-Aコンバータに用いる*R*については，例えば1/2LSBの精度で歩留まりが95％とすると，2σが$1/2^{N+1}$となる精度を確保できる面積に作る必要があることになります．面積が決まれば，消費電力に見合った抵抗値となるように長さと幅に振り分けて，抵抗の寸法設計が完了します．

●シミュレーションで抵抗ストリング型の歩留まりを推定

抵抗ストリング型やキャパシタ・アレイ型は構造が簡単なので，統計計算が比較的簡単です．また，直流に対する直線性については統計手法で予測できますが，スペクトラムなどの周波数領域の特性を把握することは困難です．計算機がそれほどポピュラでなかった時代は，実際にいくつかの種類を試作して特性を調べ，特性が不足していれば設計し直すか，要求仕様を緩和するかしていました．パソコンがポピュラとなった現代では，シミュレーションによってばらつきと歩留まりを容易に推定できるようになりました．

ここでは，筆者らが10年あまり前に行った，2段階の抵抗ストリング型D-Aコンバータの歩留まり推定の例を紹介します．

まず，原理的な手順です．

近似的にガウス分布を持った乱数によって，単位抵抗R_i値を分解能Nに対して2^N個発生させます．この抵抗ストリングの両端にV_Rなる電圧を印加すると，下からi番目のタップの電圧V_iは，次式で表されます．

$$V_i=\frac{\sum_{j=0}^{i-1}R_j}{\sum_{j=0}^{2^N-1}R_j}V_R \qquad (18)$$

この式から，入力コードに対するアナログ出力値の変換テーブルを作れます．

次に，入力信号を量子化して作った入力サンプリング・データ列に従い，このテーブルからそれぞれのサンプリング時点の出力電圧を発生させ，時系列の正弦波に対するD-A変換結果のデータを作ります．この結果をFFT（fast Fourier transform）解析すれば，*SN*比の評価を行うことができます．

実際にモンテカルロ・シミュレーションを行ったのは，**図4**に示す構造の16ビットD-Aコンバータ（μPD6379）の場合です．このD-Aコンバータは，上位9ビットのD-Aコンバータ出力と下位7ビットのD-Aコンバータ出力を抵抗とOPアンプによって合成することによって16ビット分解能の出力を得ています．また，歩留まり推定では電圧合成用の抵抗についてもばらつきを考慮していますが，もっとも影響が大きいのは上位D-Aコンバータです．

図5は，出力が－20dBのときの正弦波出力について，単位抵抗のばらつきの標準偏差を変えたときの*SN*（信号対ノイズ）比の分布を示しています．16ビットの場合，理論上

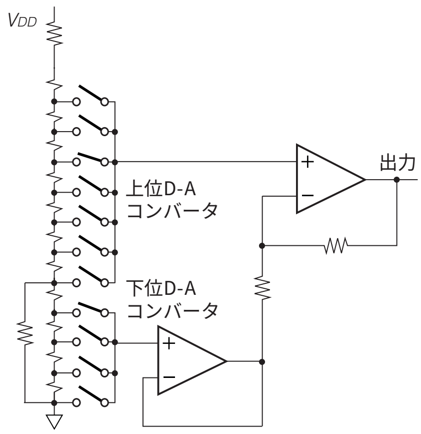
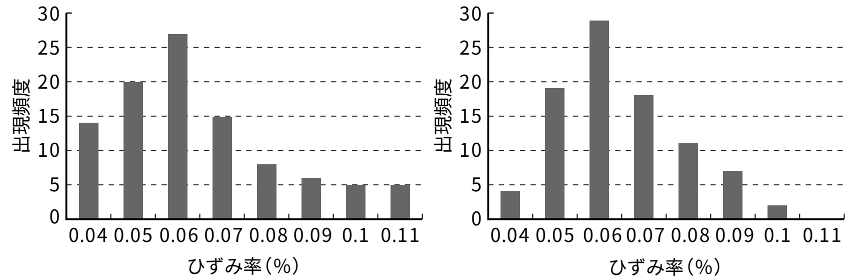


図4　2段抵抗ストリング型 D-A コンバータ

16ビットの抵抗ストリング型 D-A コンバータの概念図．図では上位3ビット，下位2ビットで示しているが，μPD6376/μPD6379では上位9ビット，下位7ビットの構成になっている．下位の *R* ストリングは数LSB分の抵抗と並列接続することで，極端に低い抵抗にならないようにしている．



（**a**）－20dB出力シミュレーション　（**b**）－20dB出力実測

図6　歩留まりシミュレーションと実測

(a)は，**図5**において，ばらつきの標準偏差0.5%を仮定して行ったモンテカルロ・シミュレーションのノイズひずみ率分布を求めた図．横軸がノイズひずみ率，縦軸が発生頻度．(b)は，量産品の選別における発生頻度の分布図．0.1%を選別規格にして除外していたため，0.1%付近の分布は実際の分布とは異なる．非常にシミュレーションと類似した結果になっている．

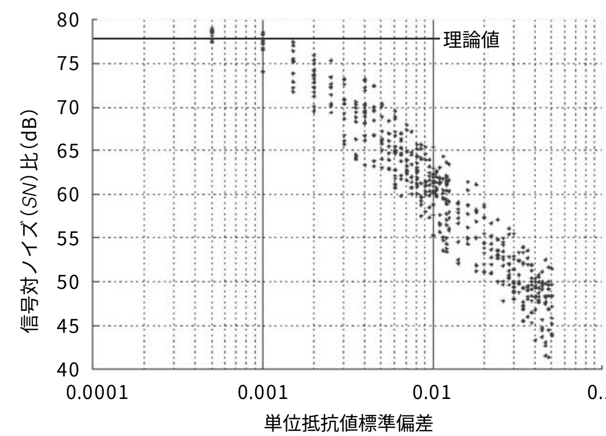


図5　D-A コンバータの機能シミュレーション

抵抗ばらつきの影響を調べるために行ったC言語レベルのシミュレーション結果．1kHzで－20dBの正弦波を出力するものとし，横軸に単位抵抗ばらつきの標準偏差を，縦軸に出力信号のノイズひずみ率をとった．理想値は77.8dB．ばらつき量に反比例してノイズひずみ率が悪化する．

はピークが97.8dBですから，－20dBの出力では77.8dBが理論値ということになります．製品仕様の *SN* 比は－20dBで60dB以上ということになっており，これを達成するには上位のD-Aコンバータを構成する抵抗ばらつきの標準偏差σを0.6%以下にする必要があることがわかります．

－20dB出力では，上位D-Aコンバータは6ビット分の範囲だけが選択されます．また，目標の60dBは，ほぼ10ビットのD-Aコンバータの理論 *SN* 比に相当します．6ビット分解能で10ビット精度は，2σで0.39%となります．したがって，標準偏差は0.2%となり，シミュレーションによる0.6%という値は，大きく緩和できることを示しています．この差は，INLが最大誤差を表しているのに対して，ひずみはD-A変換出力値列の2乗平均に基づくためです．例えば，INL最大を誤差の出現確率の3σと考えれば，σに相当する値が誤差の2乗平均ですから，妥当な値であるということになります．

図6(a)に単位抵抗精度を0.6%としたときのノイズひずみ率の出現頻度分布を示します．また，**図6(b)**に実際の量産における分布データを示します．量産データはひずみ率0.1%を規格値としており，それ以下になったものは不良品として廃棄されているため，0.1%付近の分布は実際の特性を反映していません．この点を除けば，シミュレーションと実際の分布はかなり良い一致傾向を示しています．

このシミュレーションではC言語でモデルを作成しており，非常に高速に実行することができました．シミュレーションは，抽象化すれば高速になりますが，モデルに組み込んでいない現象に対しては無力です．そのため，抽象的なモデルを考える段階で，あらかじめシミュレーションの目的を決めておくことがたいせつです．

ゆかわ・あきら
NECエレクトロニクス(株) コア開発事業部

＜筆者プロフィール＞
湯川 彰．NECエレクトロニクス コア開発事業部で，主としてアナログ設計に関連する設計技術の効率化と，どのようなコアをどのように設計するかを検討しています．でも，最近はどの設計もアナログ的になり，関わらなければならない事がらがどんどん増えて困惑しています．本誌の編集者からは「初心者向けの記事を…」と言われていますが，筆者自身30年以上この世界にいるもので，「アナログ技術の一般常識と常識外の境界をどこに定めるか」の難しさを味わっています．